



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08250729 A**(43) Date of publication of application: **27 . 09 . 96**

(51) Int. Cl

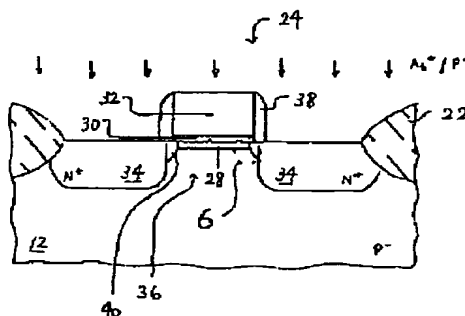
H01L 29/78**H01L 21/336****H01L 21/8234****H01L 27/088**(21) Application number: **07261794**(22) Date of filing: **09 . 10 . 95**(30) Priority: **11 . 10 . 94 US 94 320897**(71) Applicant: **ADVANCED MICRO DEVICES INC**(72) Inventor:
ANJUM MOHAMMED
STUBER ALAN L
BURKI IBRAHIM K(54) **METHOD FOR MANUFACTURING INTEGRATED
CIRCUIT, METHOD FOR FORMING N-MOS
DEVICE AND INTEGRATED CIRCUIT**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the performance of MOSFETs in N-MOS AND P-MOS devices.

SOLUTION: An MOS device is provided by using indium as a threshold- adjusting implantation material, which is implantation in a channel region 36 in an N-MOS device and/or a conductor gate 32, which is located on the region 36, in a P-MOS device. Indium ions are comparatively high in immobility and the stability of the location of the MOS device is achieved at the regions of the region 36 and the gate 32, which are implanted with those indium ions. The indium ions are not easily segregated diffused in the lateral direction and the direction vertical to a silicon substrate. For minimizing the problems of the skew of a threshold and an enhancement in the thickness of a gate oxide film, the immobility of the placement of the device is necessary. Moreover, it is believed that indium atoms in the region 36 minimize the effect of hot carriers and problems related to the effect.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250729

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			27/08	1 0 2 B
21/8234			29/78	3 0 1 S
27/088				

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号 特願平7-261794

(22) 出願日 平成7年(1995)10月9日

(31) 優先権主張番号 08/320897

(32) 優先日 1994年10月11日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172

アドバンスド・マイクロ・ディバイズ・
インコーポレイテッドADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォルニア州、サニibel、ピィ・オウ・ボックス・3453、ワン・エイ・エム・ディ・ブレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

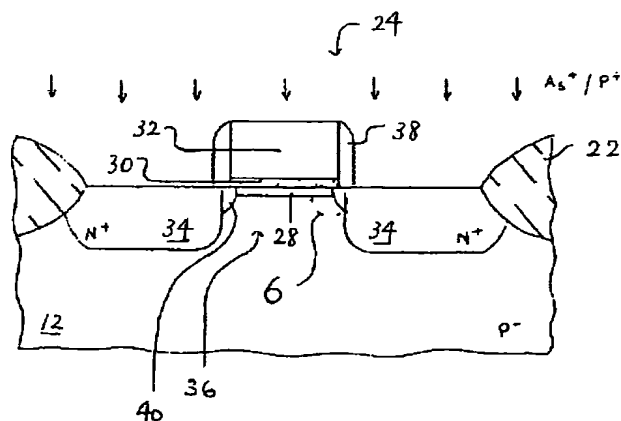
最終頁に続く

(54) 【発明の名称】 集積回路を製造するための方法およびNMOSデバイスを形成するための方法、ならびに集積回路

(57) 【要約】

【課題】 NMOSおよびPMOSデバイスにおけるMOSFET性能を向上させる。

【解決手段】 NMOS装置のチャネル領域(36)に、および/または、PMOS装置でチャネル領域(36)の上にある導体ゲート(32)にしきい値調節注入物としてインジウムを用いることでMOSデバイスが提供される。インジウムイオンは比較的不動性が高く、それが注入された領域で位置の安定性を達成する。インジウムイオンは横方向とシリコン基板に垂直な方向とに容易には偏析および拡散しない。しきい値スキューおよびゲート酸化膜厚さエンハンスメントの問題を最小にするために、配置の不動性が必要である。さらに、チャネル領域内のインジウム原子がホットキャリア効果およびそれに関連した問題を最小にすると考えられる。



【特許請求の範囲】

【請求項1】 集積回路を製造するための方法であって、
半導体基板の上方表面の活性領域に開口を設けるステップと、
前記開口を介して前記活性領域へインジウムイオンを注入するステップと、
前記活性領域上にポリシリコンゲート材料を堆積するステップとを含む、方法。

【請求項2】 前記注入するステップは、
半導体基板の上方表面に対して第1の深さで濃度ピークにインジウムイオンを注入するステップと、
前記活性領域上で前記第1の深さによって制限された深さに絶縁層を成長させるステップとを含む、請求項1に記載の方法。

【請求項3】 前記成長させるステップは、本質的に二酸化シリコンからなる前記絶縁層を熱的に成長させるステップを含む、請求項2に記載の方法。

【請求項4】 前記注入するステップは、前記注入するステップの前に、前記活性領域上にゲート絶縁体を形成するステップをさらに含む、請求項1に記載の方法。

【請求項5】 前記注入するステップは、前記注入するステップの後に、前記活性領域上にゲート絶縁体を形成するステップをさらに含む、請求項1に記載の方法。

【請求項6】 前記設けるステップは、
前記半導体基板の上方表面上にパッド酸化膜を成長させるステップと、
前記パッド酸化膜上に窒化シリコンを堆積するステップと、
前記窒化シリコンおよび前記パッド酸化膜の一部を選択的に取除き、前記半導体基板の上方表面のフィールド領域を露出するステップと、
前記半導体基板の露出されたフィールド領域上に絶縁材料を形成するステップと、
前記活性領域の上にある、残存する前記窒化シリコンおよび前記パッド酸化膜を取り除き、絶縁材料を介して前記開口を生成するステップとを含む、請求項1に記載の方法。

【請求項7】 前記形成するステップは、本質的にシリコンからなる半導体基板上に、本質的に二酸化シリコンからなる絶縁材料を成長させるステップを含む、請求項6に記載の方法。

【請求項8】 前記堆積するステップの後に熱を加えるステップをさらに含む、前記活性領域へ注入された前記インジウムイオンは、熱を加える間に前記活性領域内に実質的に残存する、請求項1に記載の方法。

【請求項9】 前記堆積するステップの後に、さらに、前記ポリシリコンゲート材料の一部を選択的に取除き、前記活性領域内にソースおよびドレイン領域への開口を形成するステップと、

注入されたインジウムイオンに隣接した前記ソースおよびドレイン領域にn形イオンを注入するステップと、
熱を加えて前記ソースおよびドレイン領域をアニールするステップとを含み、熱を加える間に、インジウムイオンおよび前記n形イオンは互いに結合位置に混合しないように実質的に妨げられる、請求項1に記載の方法。

【請求項10】 前記注入するステップは、
元素のインジウムを電離するステップと、
 $1 \times 10^{13} \text{ atoms/cm}^2$ よりも少ないドーズ量で、 250 keV よりも小さい注入エネルギーで前記活性領域へインジウムの前記イオンを与えるステップとを含む、請求項1に記載の方法。

【請求項11】 請求項1に記載の方法で製造される、集積回路。

【請求項12】 ゲート導体の下にあるチャネル領域から、前記チャネル領域に横に隣接したn形ソースおよびドレイン領域へ、p形しきい値調節ドーパントが偏析および移動することを最小にすることによりNMOSデバイスを形成するための方法であって、前記方法は、
基板上に成長した酸化膜と、前記酸化膜を介して前記基板の上方表面上の活性領域への開口とを有するp形にドーパされた半導体基板を設けるステップと、
ホウ素より大きい原子量を有するp形イオンを前記開口を介して前記活性領域へ注入するステップとを含み、前記p形イオンは濃度ピークで前記基板の上方表面に対して第1の深さに注入され、さらに、
前記第1の深さで制限され、それよりも浅い深さに前記活性領域へゲート酸化膜を成長させるステップと、
前記活性領域の一部の上にゲート導体を形成するステップと、
前記ポリシリコンゲート材料の下方の平面で、この材料から横方向に間隔をあけられたソースおよびドレイン領域へn形イオンを注入するステップと、
 700°C を超えるアニール温度に前記ソースおよびドレイン領域を露出するステップとを含み、p形イオンおよびn形イオンが、互いに向かって移動して両方の位置で互いと混合しないように実質的に妨げられる、方法。

【請求項13】 前記p形イオンはインジウムを含む、請求項12に記載の方法。

【請求項14】 前記n形イオンはヒ素を含む、請求項12に記載の方法。

【請求項15】 p形イオンを注入するステップは、
本質的にインジウムからなる元素のp形イオンを電離するステップと、
これらイオンのインジウムを $1 \times 10^{13} \text{ atoms/cm}^2$ よりも少ないドーズ量で、 250 keV よりも小さい注入エネルギーで前記活性領域へ与えるステップとを含む、請求項12に記載の方法。

【請求項16】 請求項12に記載の方法で製造される、集積回路。

【発明の詳細な説明】

【0001】

【発明の分野】この発明は集積回路の製造、より特定的には、NMOSおよびPMOSデバイスにおけるMOSFETの性能を向上させる活性領域注入物に関する。

【0002】

【関連技術の説明】MOSFETデバイスを製造することは周知である。概して、MOSFETはドーピングされていない多結晶材料または“ポリシリコン”材料を比較的薄いゲート酸化膜の上に与え、ポリシリコンおよび隣接したソース／ドレイン領域に不純物ドーパント材料を注入することで製造される。ソース／ドレイン領域を形成するために用いられる不純物ドーパント材料がn形であるならば、結果として生じるMOSFETはNMOSFET (“NMOS”) デバイスである。逆に、ソース／ドレインのドーパント材料がp形であるならば、結果として生じるMOSFETデバイスはPMOSFET (“PMOS”) デバイスである。

【0003】ポリシリコンおよび隣接したソース／ドレイン領域は周知のフォトリソグラフィ技術を用いて形成される。ポリシリコンおよびソース／ドレイン領域は、通常よく“フィールド酸化膜”と称される厚い層にわたって形成された開口にパターン化される。開口はNMOSおよびPMOSデバイスが形成される領域であり、製造された活性デバイスを受けるので、一般に“活性領域”と呼ばれる。したがって、活性領域はフィールド酸化膜間の領域であり、一般に、ゲート酸化膜と、シリコン内でポリシリコンの対向する側面に形成されたゲート酸化膜およびソース／ドレイン領域の上のポリシリコンを含む。金属配線はポリシリコンおよびソース／ドレイン領域と接続するように厚いフィールド酸化膜の上にわたされ、回路構造全体の形成を完成する。

【0004】多くの回路は同じモノリシック基板上のPMOSおよびNMOSデバイスの両方を利用する。両方の型のデバイスが形成され得るが、デバイスはソース／ドレイン不純物ドーパントに基づいて区別される。n形ドーパントがNMOSデバイスを形成するのに用いられ、p形ドーパントがPMOSデバイスを形成するのに用いられる方法は、各デバイスに関連した特有の問題を必然的に伴う。MOSFETレイアウト密度が増加すると、問題は悪化する。処理パラメータおよび処理ステップに調節がなされないとデバイスの故障が起こり得る。多くの場合、NMOS処理はデバイスの各々の型に特有の問題のためにPMOS処理と異なっていなければならない。NMOS製造に固有の問題がまず検討され、次にPMOSが続く。

【0005】NMOSデバイスは一般に、PMOSデバイスよりも甚だしく、いわゆる“ホットキャリア効果”で損害を被る。たとえば、1.5 μm よりも短いチャンネルの長さのためにNMOSデバイスの不必要な領域への

ホットキャリア（すなわち、電子）の移動がひどくなる。NMOSデバイスのホットエレクトロンは相対物のPMOSデバイスのホットホールよりも移動性があり、ホットキャリア効果をNMOS処理において顕著な問題にする。

【0006】チャンネルの寸法が縮小するだけでなく、ゲート酸化膜が薄くなり、接合部が浅くなると、ホットエレクトロンは移動する。高電界は移動する電子が運動エネルギーを得て“熱く”なるようにさせる。各ホットエレクトロンは(i)衝突電離を起こしてチャンネル領域で電子-ホールの対を発生させることがあり、(ii)ホットエレクトロンを最初にドレインの近くのチャンネル領域から、上にあるゲート酸化膜へ注入させ得る。電子-ホールの対がフリーキャリアになり、ソースおよびドレインの間に逆の方向に流れると、衝突電離はその間で意図しないターンオンを促進し得る。ゲート酸化膜への注入はゲート酸化膜を偏位させることがあり、しきい値シフトだけでなく、極端な場合にはラッチアップを起こす。

【0007】数多くの技術がNMOSデバイスでホットエレクトロン注入の問題を減少するために用いられる。たとえば、Ngらによる「Germanium DopingによるSi MOSFETにおけるホットキャリア劣化の抑制 (Suppression of Hot-Carrier Degradation in Si MOSFET's by Germanium Doping)」、IEEE Electron Dev. Lett., 第11巻、第1号、(1990年1月)を参照されたい。ある技術は活性領域内にしきい値注入調節することを含む。しきい値調節は一般に、犠牲酸化膜またはゲート酸化膜を介して、下にあるチャンネル領域にp形ドーパントを注入することを含む。典型的に用いられるp形ドーパントは11 a. m. u. の原子質量を有するホウ素である。p形ホウ素はこれによって、シリコン／ゲート酸化膜界面の近くの表面でp形ドーパントの濃度を増加することで、NMOSデバイスのしきい値を増加するよう作用する。NMOSデバイスにおけるチャンネルでp形ドーパントを増加することで、しきい値がプラスに歪められ、意図しないターンオン、パンチスルー、およびラッチアップの可能性が減少される。

【0008】ホウ素に関連した軽い原子質量はしきい値調節ドーパントとして適切であるが、NMOSデバイスに固有の付加的な問題を引き起こし得る。たとえば、低質量のためにホウ素は偏析し、チャンネル領域で注入された位置から、その後より重いn形イオンでドーピングされる、隣接したソース／ドレイン領域に移動する傾向を有する。たとえば、ヒ素がソース／ドレインのドーパントとして用いられるならば、ヒ素はシリコン基板の格子構造を本質的に分裂させ、ソース／ドレイン領域内に結合機会を起こすであろう。移動性が高く、軽いホウ素原子がそのチャンネル領域から隣接したソース／ドレイン領域に移動し、これによってしきい値調節の有効性を激減さ

せるシンクとして結合機会は作用する。発明者が考えるには、ホウ素の偏析および拡散は、チャネルがソースおよびドレインの周囲で当接する、チャネルの端縁で主に起こる。これによって、ホウ素濃度の勾配はチャネル領域に存在し、これはチャネルの端縁でしきい値調節ドーパントを低下させることから生じる。NMOSチャネルの長さが減少すると、しきい値減少問題が一層ひどくなる。

【0009】隣接したソース／ドレイン領域への横方向の偏析および拡散に加えて、ホウ素は移動性の高い性質のために、上にあるゲート酸化膜へ垂直方向に拡散し得る。次の加熱サイクルの間、ホウ素は格子または準格子の位置に沿ってシリコン／ゲート酸化膜界面にわたって容易に移動し得る。垂直移動するホウ素はしたがって、成長する酸化膜によって消費され、チャネルでのホウ素濃度を減少するだけでなく、逆に、ゲート酸化膜でホール濃度を増加すると推定される。ゲート酸化膜においてホール濃度が増加することで、通常ホットエレクトロン効果から生じる注入された電子が引付けられ得る。ホットエレクトロンを引付けることが、上述されたホットエレクトロン効果の問題をさらにひどくする。

【0010】しきい値調節物としてホウ素が不完全であることは、NMOS製造において認識されている問題の一例にすぎない。NMOSと同様に、PMOS製造も数多くの問題を必然的に伴う。問題は一般的に、ゲートの長さが短くなり、一般に短チャネル効果（“SCE”）として分類、または類別されると生じる。PMOSデバイスでSCEを最小にするために、研究者はソース／ドレイン領域に対してチャネル領域の完全な状態を維持する必要があることを示してきた。米国特許第4,835,112号に教示されるように、最初目標量を超えてチャネル領域へソース／ドレイン領域からの拡散を妨げ、実質的に防ぐのにさまざまなバリアドーパントが用いられる。ゲルマニウムのようなバリアイオンが典型的にソース／ドレイン領域へ注入され、ソース／ドレイン領域の横方向の拡散を妨げ、PMOSデバイスの有効なチャネルの長さ（*Leff*）を維持する。

【0011】チャネル領域の完全な状態、そのサイズおよびドーパント濃度を維持することは、PMOSの動作性を予測するのに欠くことができない。p形ソース／ドレイン領域を形成する間、活性領域すなわちソース／ドレイン領域にわたって、また、チャネル領域の上にあるポリシリコン材料へ、p形ドーパントは自己整合プロセスで注入される。p形ソース／ドレイン注入物がホウ素またはフッ化ホウ素（ BF_3 ）を含むならば、あとのアニールの間、ホウ素は低原子質量のためにポリシリコンゲート材料を介して移動し、チャネルへ入る傾向を有する。たとえば、ベーカー（*Baker*）らによる「P+ポリシリコンでゲートされたPチャネルMOSFETにおけるしきい値電圧の不安定性へのフッ素の影響（Th

e Influence of Fluorine on Threshold Voltage Instabilities in P+ Polysilicon Gated P-Channel MOSFETs)」、IEDM (1989)、443頁-446頁を参照されたい。ホウ素またはフッ化ホウ素抽出物はチャネル領域の濃度水準に変化を生じさせる。チャネル濃度におけるわずかな変化は、しきい値電圧でのシフトとPMOSデバイスの予測不可能な動作とを生じるであろう。たとえばホウ素またはフッ化ホウ素をポリシリコンへ注入することで、サン（*Sung*）らによる「P+ゲートデバイスのホウ素拡散におけるフッ素効果（Fluorine Effects on Boron Diffusion of P+ Gate Devices)」、IEDM、(1989)、447頁-450頁で説明されたような数多くの問題が提起される。

【0012】上にあるポリシリコンからチャネル領域へホウ素が移動することは、起こり得るしきい値電圧スキューについて自明であるが、付加的な問題が生じ得る。たとえば、ソース／ドレイン領域を発生し、ゲートポリシリコンをドーブするのに BF_3 注入物が用いられるならば、フッ化ホウ素からのフッ素は低原子質量であるために移動性が高く、一般にポリシリコン-酸化膜および酸化膜-シリコンの界面で蓄積する。ベーカーらによって説明されたように、フッ素はシリコン-酸化膜の結合をこわす傾向を有し、次の加熱サイクルの間に酸素を自由にする。自由酸素はポリシリコンおよびシリコン基板と結合してゲート酸化膜を厚くすることがあり、これは一般に酸化膜厚さエンハンスメント（“OTE”）と称される。OTEはしきい値を増加させるだけでなく、成長している酸化膜内でキャリア（帯電キャリア）を消費することもあり、極端な場合、酸化膜へ注入されたホットキャリアと結果として同様に酸化膜を予め帯電する。

【0013】この出願の共同発明者であるモハメッドアンジュム（*Mohammed Anjum*）により、「不純物移動バリアを備えた半導体ゲート導体およびこれを生成するための方法（Semiconductor Gate Conductor with Impurity Migration Barrier and Method for Producing Same）」と題された、共通に譲渡され、現在係属中の米国特許出願によって教示されたとおり、ポリシリコンゲート導体から、下にあるゲート酸化膜およびチャネルにホウ素および／またはフッ素が移動することを最小にし、または減少しようとする研究が行なわれてきた。ゲルマニウムのようなバリア注入物を上述された出願で教示されたとおりのゲート材料に与えることには、次に与えられるホウ素またはフッ化ホウ素よりも深くゲルマニウムバリアイオンが与えられることを確かにするために、正確な濃度およびドーパントエネルギーが必要とされる。こうして、ポリシリコンがパターン化され、ソース／ドレインが形成される前に、ゲルマニウムバリアイオンは別個のステップでポリシリコンゲートのみに注入される。付加的なゲルマニウム注入ステップを除去し、正確にバリアイオンを注入しなければならない

点を取り除くのは有利であろう。

【0014】上述の段落を通じて説明されたように、PMOSおよびNMOSデバイスの活性領域へ注入されたホウ素および／またはフッ化ホウ素は、これらデバイスの動作において数多くの問題を提起する。チャンネルの長さが縮小すると、NMOSおよびPMOSにおけるしきい値調節物として、かつPMOSデバイスの表面チャンネルでのゲート注入物として、ホウ素および／またはフッ化ホウ素を完全に除去する必要がある。ホウ素および／またはフッ化ホウ素を完全に除去する代わりに、通常のソース／ドレイン、ホウ素またはフッ化ホウ素注入の前に、新規なp形バリアイオンをPMOSデバイスのポリシリコンおよびソース／ドレイン領域の両方に予め注入することも望ましいであろう。

【0015】

【発明の概要】上記のように概説された問題は、この発明による改良された活性領域注入方法論によって大部分が解決される。すなわち、NMOSおよび／またはPMOSデバイスの活性領域（すなわち、ソース／ドレインおよび上にあるゲートポリシリコン）は、ホウ素またはフッ化ホウ素ではないp形ドーパントで注入される。p形ドーパントとして好ましくはインジウムが選択される。おおよそ114 a. m. u. の原子質量を有するインジウムはNMOSデバイスのチャンネル領域へ注入されてこのデバイスのしきい値を高めることができる一方、大きなインジウム原子がその注入された位置から偏析および拡散する可能性を最小にする。特に、インジウム原子はソース／ドレインが注入された領域へ向かって、横方向にあまり偏析および拡散しない傾向を有する。さらに、インジウム原子はその位置を維持し、上にあるゲート酸化膜へ相当な量では拡散しない。こうして、インジウムはNMOSしきい値調節注入物として、ホウ素を超える著しい利点を提供する。その相対的な「注入された」位置を維持することによって、インジウムはしきい値調節濃度を維持でき、ゲート酸化膜へ移動してOTE問題を生じる傾向をあまり有さない。PMOS処理に関して、インジウムはソース／ドレイン領域の両方とその間に与えられたポリシリコンへの単一ステップの注入物として用いられる。自己整合注入方法論において、インジウムはそのままの状態でPMOSデバイスのp形ドーパントとして十分である。一旦ソース／ドレイン領域へ注入されると、インジウムは十分なLeffおよび浅い接合深さを確かにするのに必要な、そのソース／ドレイン位置を実質的に維持する。さらに、大きなインジウムはポリシリコンゲート構造内にその位置を維持し、ポリシリコンゲート内のホウ素またはフッ化ホウ素に関連して上述された問題であるが、上にあるゲート酸化膜およびチャンネル領域へ相当な量で拡散することはない。

【0016】PMOS処理に関連して説明されたように、従来のホウ素およびフッ化ホウ素の代わりにインジ

ウムがソース／ドレイン領域のp形ドーパントとして役立つ。所望であれば、代わりにホウ素またはフッ化ホウ素がインジウムが活性領域へ注入された後で注入され、予めのアモルファス化のためにより均一なゲートドーピングおよびより少ないチャネリングを提供できる。この発明には不可欠ではないが、ホウ素がインジウム注入の後で注入されるならば、ホウ素をソース／ドレイン領域への不純物ソースとして用いることができる。インジウムは結晶粒界位置を詰めることでポリシリコン材料におけるバリアとして役立つ。したがって、インジウムがPMOS活性領域内で唯一のドーパントとして好まれるが、インジウムの後で注入されるならばホウ素をなお用いることができ、ホウ素よりも深い、ピーク濃度の深さでインジウムは注入される。

【0017】大きな原子質量と注入位置が維持される性質とがインジウムの重要な利点である。すなわち、インジウム注入位置は、ソース／ドレイン領域、チャンネル領域（すなわち、しきい値調節領域）、およびポリシリコンゲート領域を含む活性領域内に維持される。その上、さらに重要なのは、目標材料内の制御された、浅い距離でインジウムが比較的容易に注入できることである。近代的なイオン注入デバイスは一般に、ドーパント濃度ならびに、ウェハ注入ステップのスループットを増加するのに必要な高エネルギー水準および高電流で動作する。高いエネルギーは一般に、軽い原子ソース材料が用いられる場合により深い深さで注入することに関係する。こうして、ホウ素が選ばれたソースであるならば、軽い原子質量を有するホウ素は典型的に、重いフッ化ホウ素またはインジウムよりも、提供された注入エネルギーに対して深く与えられるであろう。インジウムはホウ素またはフッ化ホウ素よりも原子質量が大きいので、一定した、比較的高い注入エネルギーの目標でもって浅い位置に位置付けることができる。チャンネルの長さが減少すると、接合の深さおよび注入種のしきい値調節の深さは減少されなければならない。したがって、大きな原子質量の、重いイオンソースが目標のソース／ドレインだけでなく、活性領域内のいかなる目標のためにも選択されることが著しく重要である。

【0018】概して、この発明は集積回路を製造するための方法を企図する。この方法を、単一のモノリシック基板上にPMOS、NMOSまたはPMOSおよびNMOSデバイスの組合せ（すなわち、CMOS）を形成するために用いることができる。この方法は半導体基板の上方表面の活性領域に開口を設けるステップを含む。インジウムイオンは次に、開口を介して活性領域に注入でき、これによって、ポリシリコンゲート材料が次に活性領域上に堆積され、NMOSデバイスのしきい値調節注入を完成できる。さらに、インジウムは開口を介して導体ゲートと活性領域内に形成されたソースおよびドレイン領域とに注入され、PMOSデバイスのソース／ドレ

イン注入およびポリシリコン注入を完成できる。

【0019】NMOSデバイスのしきい値調節注入において、インジウムイオンは好ましくは、半導体基板の上方表面に対して第1の深さで濃度ピークに注入される。ゲート領域の好ましくは二酸化シリコンである絶縁層は、第1の深さによって制限された深さでシリコン基板の活性領域の上および中に成長する。注入されるインジウムイオンはゲート絶縁体が形成される前または後に注入できる。ゲート絶縁膜が形成される前に注入されるならば、下にあるシリコンの中へ成長したゲート絶縁膜（酸化膜）の成長停止バリアとしてインジウムが用いられ得る。したがって、インジウムをゲート酸化膜の成長を密接に制御し、次のアニールサイクルの間、不必要に継続する成長を防ぐために用いられることができる。

【0020】チャネル領域に注入されたインジウムはNMOSデバイスのしきい値調節物として十分機能し、続いて起こるゲート酸化膜の成長を制御するだけでなく、横方向の拡散ならびに、チャネル領域のインジウムとソース／ドレイン領域のn形注入イオンとの間の混合または結合を制御する。N形イオンは一般に、大きなインジウムイオンに類似した大きなヨウ化イオンであり、したがって、その注入位置から容易には移動しない。したがってLeffは維持される。さらに、チャネル注入されたインジウムは図面を参照して以下に説明されるように、ドレイン領域からソース、基板、またはゲート酸化膜へ生じるホットエレクトロン効果の問題を最小にするのに役立つ。

【0021】PMOSデバイスに関して、インジウムはソース／ドレインドーパントとしてだけでなく、PMOSチャネル領域の上にあるポリシリコン内の大きく、実質的に不動のドーパントとしても十分機能する。やや不動性のあるインジウムイオンはポリシリコン目標領域から、下にあるチャネル領域へと容易には移動せず、したがって、従来のホウ素またはフッ化ホウ素注入に通常関連したOTE問題またはしきい値スキューを生じない。したがって、インジウムは製造プロセスに用いられ、パターン化された半導体ゲート導体から、下にあるチャネル領域へ、またはソース／ドレイン領域から、隣接したチャネル領域へ、p形ドーパント（インジウム、またはインジウムおよびホウ素の組合せ）が拡散することを減少する。

【0022】次の詳細な説明を読み、添付の図面を参照すると、この発明の他の目的および利点が明らかになる。

【0023】

【詳細な説明】この発明はさまざまな変形および代替の形をとることができるが、この発明の具体的な実施例は図面の例によって示され、この明細書で詳細に説明される。しかしながら、図面およびその詳細な説明はこの発明を開示された特定の形状に限定するようには意図さ

れず、前掲の特許請求の範囲によって規定されるように、この発明の精神および範囲内に入るあらゆる変形、均等物、および代わりとなるものを含むよう意図されることを理解されたい。

【0024】次に図面を参照すると、図1はこの発明によるPMOSおよび／またはNMOSデバイスを製造するために適切な、部分的な半導体基板10を例示する。基板10は好ましくはシリコンベースの単結晶構造である。基板10のひとつの表面はpウェル12および／またはnウェル14を実現する。pウェル12はp形不純物を用いて（拡散または注入によって）形成され、一方、nウェル14はn形不純物を用いて（拡散または注入によって）形成される。

【0025】図1はシリコンの局部酸化（“LOCOS”）における1つのステップを例示する。LOCOSは基板10の上方表面16上に形成された活性領域の絶縁分離のために必要である。LOCOSはたとえば、絶縁層、好ましくは酸化膜を上方表面16の全体にわたって堆積または成長させることで始まる。酸化層の上に堆積されるのは、酸素拡散に耐えるために酸化に対するマスクとして用いられる層である。適切な耐酸素性材料は窒化シリコンを含む。一旦窒化シリコンが酸化膜の上に堆積されると、マスクは窒化シリコンおよび下にある酸化膜の両方の一部を露出し、選択的にエッチングするのに用いられ、パッド酸化膜20の下にある耐酸素性材料18のパターン化された構造を提供する。pウェル12およびnウェル14が同じモノリシック基板10上に形成されるならば、パターン化された窒化シリコン18およびパッド酸化膜20は各ウェルの上方表面16で活性領域の上に形成される。この明細書で定義されるように、「活性領域」は以下に説明されるようにポリシリコンゲート導体およびソース／ドレイン注入物を受ける領域である。したがって、活性領域は図2を参照して説明されるフィールド酸化膜の間に形成される領域である。

【0026】図2は図1に続くステップで窒化シリコン18が全くない領域での絶縁層、一般に二酸化シリコン22の熱成長を例示する。酸化膜22は比較的厚く、従来の認識で「フィールド酸化膜」と称されるように一般に厚さが数千オングストロームであり、フィールド酸化膜22の間に形成された活性領域24を分離する。活性領域24は、フィールド酸化膜22が成長した後で窒化シリコン18およびパッド酸化膜20の両方を取り除いた結果として存在する。窒化シリコン18およびパッド酸化膜20を取り除くと、活性領域にのみ露出した上方表面16が残る。したがって、露出した活性領域24は図3から10に示される次のステップによってもたらされる、注入されたイオンおよび堆積した／成長した薄いフィルムとを受けることができる。

【0027】次に図3を参照すると、図2に続くステップがインジウムが活性領域24へ注入される点で示され

る。図3はpウェル12およびnウェル14の活性領域の両方への例示的なインジウム注入を図示する。しかしながら、熟練した技術者にはフォトレジストが用いられ、nウェルの上に与えられ、pウェル12内にのみインジウム注入を達成できることが理解される。同じことが逆にも当てはまる。インジウム注入は基板10の露出した上方表面16へ、またはインジウム注入の前のステップで形成されたゲート酸化膜を介して有利に挿入できる。したがって、図3のインジウム注入は活性領域24内に形成されたデバイスのしきい値を調節するために用いられ、領域26は浅いインジウム注入物、またはこれを受けるようにされたゲート酸化膜を含む。

【0028】インジウムは、元素のインジウムを電離し、 $1 \times 10^{12} \text{ atoms/cm}^2$ から $1 \times 10^{13} \text{ atoms/cm}^2$ の範囲内の例示的なドーズ量でインジウムイオンを加速するイオン注入装置を用いて注入される。都合のよいことに、原子質量 114 a.m.u. のインジウムは極めて重いので、イオン注入装置は高いエネルギーで動作できる。一例として、注入エネルギーは 220 keV よりも大きい水準で現れ、上方表面16の下方に 0.103 ミクロン よりも薄い厚さでインジウムを与えることができる。これによって、近代的なイオン注入器は軽いイオンよりも適切な注入ソース材料としてインジウムを提供できる。チャンネルの長さが極めて短い場合、活性領域24において浅い、好ましくは 3 ミクロン 以下の範囲のしきい値調節物が必要である。

【0029】pウェル12の活性領域26へのインジウム注入は、結果として起こるNMOSデバイスのしきい値を増加する。逆に、nウェル14の活性領域26へのインジウム注入は、結果として起こるPMOSデバイスのしきい値を減少する。

【0030】図4を参照すると、領域5または8の活性領域24が示される。特に、図4は領域26の形成を説明するのに役立つ。領域26はゲート酸化膜30の下にインジウム注入28を含む。インジウム領域28はゲート酸化膜30が成長する前、またはゲート酸化膜30の後に形成される。したがって、インジウム領域28は基板10の上方表面16の下方の制御された位置でゲート酸化膜を停止する。ゲート酸化膜30の酸素原子は上方表面16でシリコン原子と結合すると推定される。シリコン原子が圧倒的な量のインジウム原子と結合するならば、酸素が占めることが可能な結合位置の数が不十分になり、それによって酸化膜30の下向きの成長を制限する。したがって、インジウム注入領域28はゲート酸化膜30の厚さを密接に制御するための機構として十分機能し、これはデバイスのしきい値およびスピードの動作性の密接な制御を達成するために有利な結果である。

【0031】図5を参照すると、図3の領域5に沿う断面図が図3に続く処理ステップで示される。特に、図5はソース/ドレイン領域34の間に置かれた導体ゲート

32を有するpウェル12内の活性領域24を示す。ソース/ドレイン領域34は、ヒ素(As)またはリン(P)のいずれかであるn形イオンでの自己整合処理を用いて注入される。

【0032】図5のソース/ドレイン注入は図3のステップの後で起こり、ここで、インジウムイオンは活性領域、特に、導体ゲート32およびゲート酸化膜30の下にあるチャンネル領域36内に予め堆積される。したがって、インジウム注入領域28はチャンネル領域36内でソース/ドレイン領域34の間に形成される。図5のNMOS構造は軽くドーブされたドレイン("LDD")処理を用いて、図示されるように側壁スペーサ38および軽くドーブされた領域40を有して形成される。しかしながら、LDDはこの発明を実行するのに用いられるのが不可欠ではない。LDDは、短いチャンネルの長さのデバイスへの適用性を示す例示的な目的のためにのみ用いられる。

【0033】図6を参照すると、図5の領域6に沿う詳細な図が提供され、原子レベルで示される。図6は、そこに与えられたインジウム原子42を有するしきい値調節インジウム注入領域28を例示する。インジウム原子42は、半導体製造に固有な、次の高温加熱サイクルにもかかわらず、その注入された位置を維持する。インジウム原子42は大きな原子質量のために、シリコン格子を介して隣接した(横または上にある)位置へ移動することが困難である。たとえば、図6は到着位置42bによって示されるように、隣接した、軽くドーブされたソース/ドレイン領域40の方に少しだけ移動するインジウム原子42aを例示する。同様に、ゲート酸化膜30の下方表面の近くのインジウム原子42aはゲート酸化膜30へ向かって到着位置42bへ少しだけ移動する。注入位置から比較的離れないことで、上述されたOTEの問題ならびに偏析および横方向の拡散の問題が妨げられる。いかなるOTEまたは横方向の拡散も、しきい値を低下することでしきい値調節の有効性を制限し得る。

【0034】図6はさらに、ホットキャリア効果に対する妨害物としてインジウム注入の利点を説明する。特に、インジウムの大きな原子質量およびサイズは、チャンネル36のドレインの端縁の近くで熱くなり、点線44によって示されるようにチャンネルを介してソースへ移動する電子の衝突電離を制限する。電子は衝突電離によってエネルギーを失い、ホールを参照番号46によって示されるように逆の方向に移動させる。電子-ホールの対はホットキャリアまたはホットエレクトロン効果と通常関連した他の問題および雪崩降伏を引き起こし得る。インジウムの大きな原子質量のために、ドレインから押し流される電子はチャンネル内で小さな原子単位と容易には衝突せず、逆の方向に移動するホールを除去し得る。インジウム原子が大きいことの結果として、チャンネルのキャリアは大きなインジウム原子によって散らされるので、

「ホット」キャリアと称されるのに十分なエネルギーを得ることが推定される。散らすことでキャリアのエネルギーが低下され、これによって、NMOSデバイスと通常関連したホットキャリア（またはホットエレクトロン）効果を減少する。さらに、大きなインジウム原子はドレイン領域40からゲート酸化膜30へ電子が注入すること（参照番号48によって示される）を最小にする。ゲート酸化膜へのホットキャリア注入を最小にすること、または結果的に衝突電離に終わることがホットキャリア効果の問題を最小にし、または減少するのに役立つ。

【0035】図7を参照すると、チャネル領域36へのインジウム注入の深さに対する濃度のグラフが示される。目標インジウム注入はゲート酸化膜30の下方表面のちょうど下の深さにおける濃度ピークとなる。濃度ピークは数字50として参照される深さで示される。深さ50は下向きの成長とゲート酸化膜30内の酸素によるシリコンの消費とを制限するために選択される。好ましくは、濃度ピークの深さ50は基板10の上方表面16の下で、または、ゲート酸化膜30の最初の下方向表面の下で1030オングストロームより小さく、これはインジウム注入に対するゲート酸化膜成長の相対的なオーダに依存する。

【0036】次に図8を参照すると、図3の領域8に沿う断面図が図3に続くステップで示される。特に、図8はソース/ドレインインジウム注入を受けているPMOSデバイスの活性領域24を例示する。インジウムはソース/ドレイン領域34に注入されてそこにp形不純物を形成するだけでなく、導体ゲート32の上方表面に關した指定された深さにも注入される。導体ゲート32およびソース/ドレイン領域34内の注入は、マスクまたは付加的なフォトリソグラフィのステップを必要とすることなしに単一の注入ステップの間に有利に起こる。導体ゲート32内のインジウムは材料32内に実質的に残り、相対物のホウ素またはBF₂注入物と異なり、材料32を介して下にある酸化膜30およびチャネル36へ完全に移動しない。ホウ素とフッ素およびBF₂の問題とを避けることで、インジウムは一旦与えられると、近代的なPMOSデバイスの高められた表面チャネル性能に必要なp+ポリシリコンゲート材料として導体ゲート32内に残される。下にある酸化膜30およびチャネル36への完全な移動を避けることで、チャネルの長さが短い場合にみられる、マイナスのしきい値スキューとそのようなスキューから生じる問題とが妨げられる。

【0037】ホウ素またはフッ化ホウ素の代わりにインジウムをソース/ドレイン注入物として用いることで、高エネルギー注入デバイスを用いると、より制御され、より浅い注入がソース/ドレインにもたらされる。図8に示されるように一旦インジウム注入が達成されると、続いて起こるメタライゼーションがソース/ドレイン接合

部に結合され、ホウ素またはホウ素抽出物を必要とすることなしに回路配線構造を完成できる。代わりに、別の例示的な実施例に従って、インジウムが図9に示される処理ステップに従って注入された後でホウ素またはホウ素抽出物が注入できる。代替の実施例に従って、図9は図8に示されるのに続いたステップで図3の領域8に沿う断面図である。こうして、好ましい実施例によって図8のステップで注入を終える代わりに、ホウ素を用いる続いて起こる注入が図9で示されるように利用できる。ホウ素は図9に従って、導体ゲート32から、下にあるゲート酸化膜30およびチャネル領域36へ完全に拡散する危険性を最小にして注入でき、これは、続いて起こるホウ素のピーク濃度の深さD₂よりも深いピーク濃度時の深さD₁で予め与えられたからである。深さD₁およびD₂は導体ゲート32の上方表面に関して測定される。インジウムおよびホウ素の注入エネルギーを制御することで、インジウムは続いて起こるホウ素よりも深く注入され、導体ゲート32からインジウムを介して下にあるゲート酸化膜30およびチャネル領域36へホウ素が偏析および拡散することに対するバリアを提供できる。ホウ素がソース/ドレイン注入材料として用いられるのが不可欠ではないが、用いられるならば、インジウム注入の後で用いられることが理解される。大きなインジウム原子は多結晶シリコン導体ゲート32の結晶粒位置および結晶粒自体を十分に「詰め」、結晶粒位置を介して下にある活性領域へ上にあるホウ素が格子および準格子間を移動するのを防ぐ。完全な拡散に対するバリアを提供することで、チャネルにおいてしきい値の厳しい制御を維持し、OTE問題を防ぐ利点が達成される。次に図10を参照すると、図9の実施例によるインジウムおよびホウ素の深さに対する濃度のグラフが示される。図10のグラフは導体ゲート32の中、およびゲート酸化膜30の上に注入されたp形イオン（インジウムおよびホウ素）のさまざまな濃度を例示する。インジウムイオンはゲート酸化膜30およびチャネル領域36の上の第1の深さでの濃度ピークに注入されて示される。ホウ素イオンのようなp形イオンは図9に示されるように、次のステップで導体ゲートへ第1の深さより浅い第2の深さで濃度ピークに注入される。第1の深さはD₁として示され、第2の深さはD₂で示される。インジウム種は通常よく「空乏効果」と称される現象を防ぐのに十分な深さで注入できる。加熱サイクルの後で、インジウム原子はポリシリコンの輪郭にわたって実質的に伸び、活性ホウ素に原因がある不必要なゲート容量、または、ポリシリコンに次に与えられた不必要な不純物を最小にする。

【0038】この開示により利益を有する当業者には、この発明が、しきい値調節物としてチャネル領域で、またはソース/ドレイン注入物の一部として導体ゲート領域へp形注入物を利用するMOSアプリケーション（N

MOSおよび/またはPMOS)に適用できると考えられることが認識されるであろう。また、図示され、説明されたこの発明の形状は現在好ましい実施例としてみなされるべきであることを理解されたい。特許請求の範囲で開示されるようなこの発明の精神および範囲から逸脱することなく、さまざまな変形および変化がなされてもよい。たとえば、その変形が請求項に開示された結果を達成するならば、この開示により利益を有する当業者には明らかになるように、変形が各処理ステップおよびあらゆる処理ステップでなされ得る。したがって、前掲の請求項はこのような変形および変化のすべてを含むと解釈されることが意図される。

【図面の簡単な説明】

【図1】シリコンの局部酸化(LOCOS)処理のために準備された、部分的な半導体基板の断面図である。

【図2】LOCOS処理により形成された、局部に制限されたフィールド酸化膜を有する半導体基板の断面図である。

【図3】この発明による、チャネル領域へインジウム注入を受けている半導体基板の断面図である。

【図4】この発明による、ゲート酸化膜の下のチャネル領域内に形成されたインジウム注入領域を有する半導体基板活性領域を示す、図3の領域5または8に沿う断面図である。

【図5】図3に示されるのに続くステップでソース/ドレインヒ素またはリン注入を受けているNMOSデバイ

スの活性領域を示す、図3の領域5に沿う断面図である。

【図6】チャネル領域内のインジウム注入の利点を原子レベルで示す、図5の領域6に沿う詳細図である。

【図7】この発明による、図3のチャネル領域へのインジウム注入の深さに対する濃度のグラフ図である。

【図8】図3に示される注入に続く、またはその代わりのステップでソース/ドレインインジウム注入を受けているPMOSデバイスの半導体基板活性領域を示す、図3の領域8に沿う断面図である。

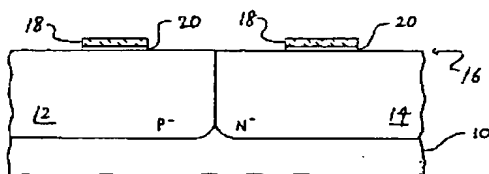
【図9】図8に示されるのに続くステップでソース/ドレインヒ素注入を受けている代わりの実施例において、PMOSデバイスの半導体基板活性領域を示す、図3の領域8に沿う断面図である。

【図10】この発明による、図8および9の導体ゲートへのインジウムおよびヒ素注入の深さに対する濃度のグラフ図である。

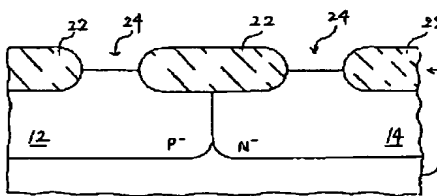
【符号の説明】

- 22 フィールド酸化膜
- 24 活性領域
- 28 インジウム注入領域
- 30 ゲート酸化膜
- 32 導体ゲート
- 34 ソース/ドレイン領域
- 36 チャネル領域

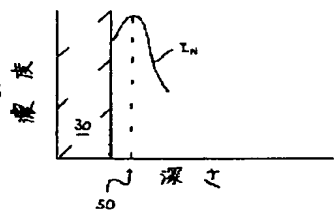
【図1】



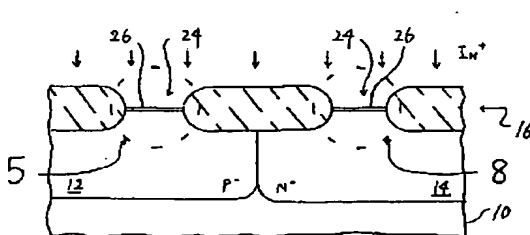
【図2】



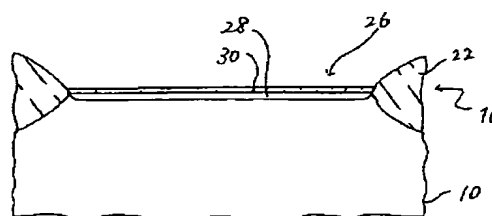
【図7】



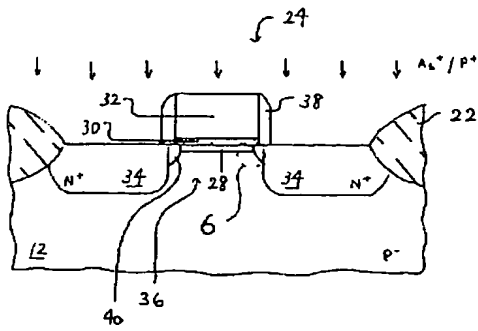
【図3】



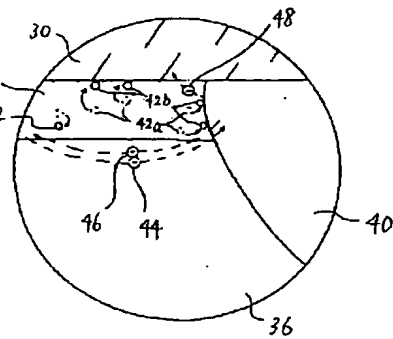
【図4】



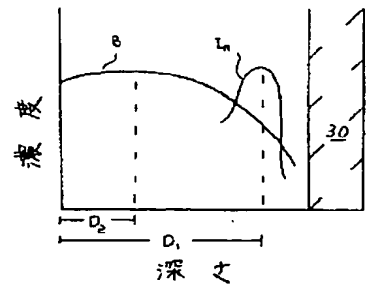
【図5】



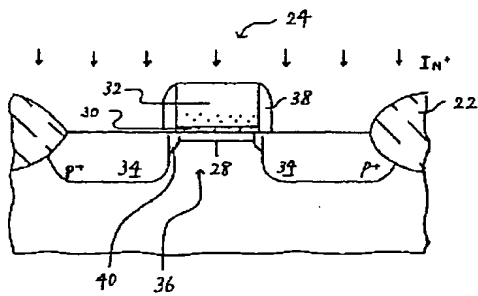
【図6】



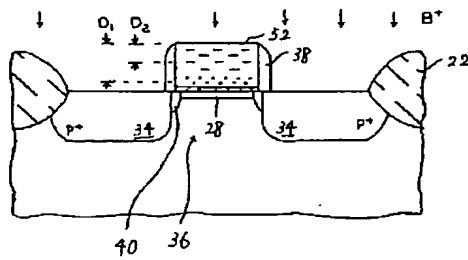
【図10】



【図8】



【図9】



フロントページの続き

(72)発明者 モハメッド・アンジューム
アメリカ合衆国、78747 テキサス州、オースティン、ジュピター・ヒルズ・ドライブ、10107

(72)発明者 アラン・エル・ストューバー
アメリカ合衆国、78748 テキサス州、オースティン、クラウンズポイント、2200
(72)発明者 イブラヒム・ケイ・パーキ
アメリカ合衆国、78745 テキサス州、オースティン、ファンシー・ギャップ・レーン、2208